

Family list

1 family member for:

JP6163584

Derived from 1 application.

1 MANUFACTURE OF THIN-FILM TRANSISTOR

Publication info: **JP6163584 A** - 1994-06-10

Data supplied from the **esp@cenet** database - Worldwide

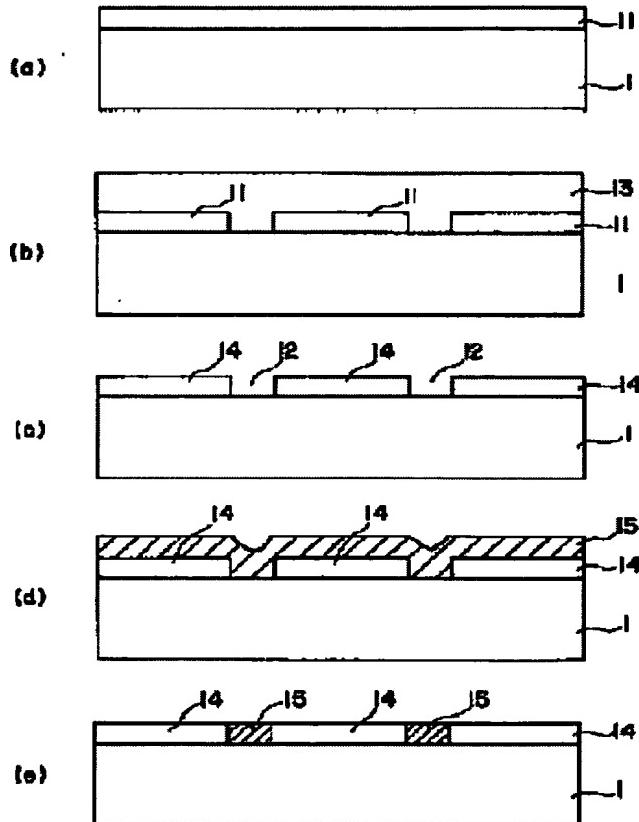
MANUFACTURE OF THIN-FILM TRANSISTOR

Patent number: JP6163584
Publication date: 1994-06-10
Inventor: NAKAMURA MAKI; KUSUDA YUKIHISA
Applicant: NIPPON SHEET GLASS CO LTD
Classification:
 - international: G02F1/136; H01L21/336; G02F1/13; H01L21/02; (IPC1-7): H01L21/336; G02F1/136; H01L29/784
 - european:
Application number: JP19920308362 19921118
Priority number(s): JP19920308362 19921118

[Report a data error here](#)

Abstract of JP6163584

PURPOSE: To facilitate manufacturing process and increase in area and to obtain a TFT without any step achieving a large-area and large-capacity display by burying a metal material for achieving electrode contact for the TFT into the surface of an insulation substrate and then making smooth the surface of the insulation substrate. **CONSTITUTION:** A gel film 11 is applied on a glass substrate 1 and a mold material 13 is pressed against the surface of the gel film 11. The glass substrate 1 is subjected to heat treatment and a recessed part 12 is formed on the surface of the gel film 11. The glass substrate 1 with the gel film 11 on the surface is subjected to heat treatment and a glass body 14 is formed. Then, a metal film 15 which becomes the gate wiring of an TFT array is formed on the glass body 14. The surface of the glass body 14 is polished and the material film 15 is allowed to remain only at the recessed part 12. Then, the surface of the glass body 14 is smoothed along with the surface of the metal film 15, thus reducing the resistance of the metal wiring and solving the problem of gate wire propagation delay generated at the internal parasitic resistance of the metal film. Also, the TFT formation and combination efficiency to the insulation substrate can be improved.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-163584

(43) 公開日 平成6年(1994)6月10日

(51) Int. Cl. 5

H01L 21/336

29/784

G02F 1/136

識別記号

F I

500

9018-2K

9056-4M

H01L 29/78

311

Y

審査請求 未請求 請求項の数 6 (全10頁)

(21) 出願番号

特願平4-308362

(22) 出願日

平成4年(1992)11月18日

(71) 出願人 000004008

日本板硝子株式会社

大阪府大阪市中央区道修町3丁目5番11号

(72) 発明者 中村 真記

大阪府大阪市中央区道修町3丁目5番11号

日本板硝子株式会社内

(72) 発明者 楠田 幸久

大阪府大阪市中央区道修町3丁目5番11号

日本板硝子株式会社内

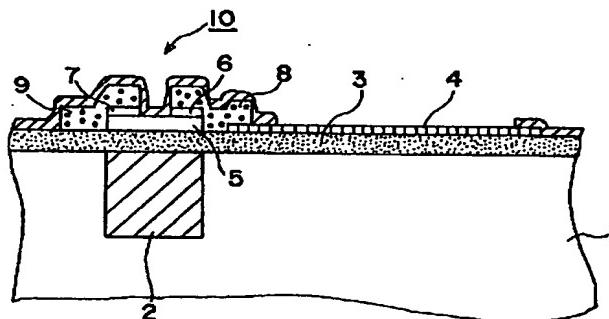
(74) 代理人 弁理士 大野 精市

(54) 【発明の名称】薄膜トランジスタの製造方法

(57) 【要約】

【目的】 製造工程及び大面積化が容易であり、段差の無い薄膜トランジスタの製造方法を提供する。

【構成】 第1製造方法は、絶縁基板表面にゲル膜を塗布した後に凹部を形成して熱処理することにより絶縁膜を形成し、該凹部を含む絶縁膜表面に金属膜を成膜した後に該表面を研磨して凹部のみに金属膜を残存させるものである。第2製造方法は、金属材料のペースト状物を上記該絶縁膜表面の凹部に流し込んだ後に熱処理することにより、該凹部に金属膜を形成するものである。第3製造方法は、絶縁基板表面にレジストパターンを形成した後にエッチングして凹部を形成し、該凹部に金属膜を形成するものである。第4製造方法は、絶縁基板表面にレジストパターンを形成した後にエッチングして凹部を形成し、該絶縁膜表面の凹部にペースト状物を流し込んだ後に熱処理することにより、該凹部に金属膜を形成するものである。



【特許請求の範囲】

【請求項1】 以下の工程を包含することを特徴とする薄膜トランジスタの製造方法：

- (A) 絶縁基板の表面に、加水分解・縮合により絶縁物を形成する特性のゲル膜を塗布する工程、(B) 前記ゲル膜表面に凹部を形成した後、該ゲル膜を乾燥・熱処理して前記絶縁基板表面に絶縁膜を形成する工程、(C) 前記凹部を含む絶縁膜表面に金属膜を成膜する工程、
 (D) 前記(C)工程で得られた絶縁膜表面を研磨して、前記凹部以外の金属膜を除去する工程、(E) 前記(D)工程で得られた絶縁基板上に薄膜トランジスタを形成する工程。

【請求項2】 以下の工程を包含することを特徴とする薄膜トランジスタの製造方法：

- (A) 絶縁基板の表面に、加水分解・縮合により絶縁物を形成する特性のゲル膜を塗布する工程、(B) 前記ゲル膜表面に凹部を形成した後、該ゲル膜を乾燥・熱処理して前記絶縁基板表面に絶縁膜を形成する工程、(C) 前記(B)工程で得られた絶縁膜表面に金属材料を含有するペースト状物を塗布し、該ペースト状物をスキージにより前記絶縁膜表面の凹部に流し込む工程、(D) 前記(C)工程で得られた絶縁基板を熱処理して、前記凹部に金属膜を形成する工程、(E) 前記(D)工程で得られた絶縁基板上に薄膜トランジスタを形成する工程。

【請求項3】 以下の工程を包含することを特徴とする薄膜トランジスタの製造方法：

- (A) エッチングすべき絶縁基板の表面にレジストを塗布する工程、(B) 前記レジストをフォトマスクを通して露光した後、該レジストを現像してエッチングすべき部分が開口したレジストパターンを形成し、該レジストパターンをエッチング用マスクとして前記絶縁基板をエッチングして、該絶縁基板表面に凹部を形成する工程、
 (C) 少なくとも前記凹部に金属膜を形成する工程、
 (D) 前記レジストを剥離除去する工程、(E) 前記(D)工程で得られた絶縁基板上に薄膜トランジスタを形成する工程。

【請求項4】 以下の工程を包含することを特徴とする薄膜トランジスタの製造方法：

- (A) エッチングすべき絶縁基板の表面にレジストを塗布する工程、(B) 前記レジストをフォトマスクを通して露光した後、該レジストを現像してエッチングすべき部分が開口したレジストパターンを形成し、該レジストパターンをエッチング用マスクとして前記絶縁基板をエッチングして該絶縁基板表面に凹部を形成し、さらに該レジストを剥離除去する工程、(C) 前記(B)工程で得られた絶縁基板表面に金属材料を含有するペースト状物を塗布し、該ペースト状物をスキージにより前記絶縁基板表面の凹部に流し込む工程、(D) 前記(C)工程で得られた絶縁基板を熱処理して、前記凹部に金属膜を形成する工程、(E) 前記(D)工程で得られた絶縁基

板上に薄膜トランジスタを形成する工程。

【請求項5】 前記(D)工程で得られた金属膜を結晶核とし、引き続き、(D')前記凹部を含む絶縁基板表面に前記結晶核形成時の結晶核形成材料の供給を行うことにより、前記結晶核をさらに成長させる工程、を付加させてなる請求項2ないし4のいずれか1項に記載の薄膜トランジスタの製造方法。

【請求項6】 前記(C)工程ないし(D)工程を複数回繰り返すことにより、前記金属膜を所定の厚さに形成する、請求項2または4に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタアレイの性能向上に関するものである。

【0002】

【従来の技術】 アクティブマトリックス駆動液晶ディスプレイは、表示品位が高いことから液晶ディスプレイの本流となりつつある。しかしながら、従来の駆動液晶ディスプレイにおいては、大面積かつ大容量の表示を行うためにさまざまな問題があった。

【0003】 図9に、従来の液晶ディスプレイに使用される薄膜トランジスタ(TFT)の断面構造を示す。同図において、1はガラス基板、62はゲート電極、63はゲート絶縁膜、64は画素電極そして65は非晶質シリコン層である。また、68は前記画素電極64に接続されるドレイン電極であり、66は非晶質シリコン65とドレイン電極68とのオーミック接触を取るためのn型非晶質シリコン層である。さらに、69は外部から画像信号を送り込むソース電極であり、n型非晶質シリコン層67を介して非晶質シリコン層65に接続される。また、ソース電極69は電極70に接続される。この電極70は、各画素のTFTへ画像信号を給電する配線である。

【0004】 図10にTFTアレイの平面図を示す。同図において、71はゲート選択線である。前記ゲート選択線71は、図9のゲート電極62と電気的に接続されており、該ゲート電極62とゲート選択線71は同一材料からなる金属薄膜で形成されている。なお、72はTFTを示している。

【0005】 また、図10のTFTアレイを動作させるには、ゲート選択線71に選択電圧を印加し、この印加により一本のゲート選択線71に接続された全てのTFT72がオン状態となる。このタイミングで電極70に画像信号電圧を印加すると、電圧が画素電極64に書き込まれる。次のタイミングにて隣接するゲート選択線71に選択電圧が印加されると、同様に画像信号電圧がTFTに接続された画素電極64に書き込まれる。これらを繰り返すことにより、TFTアレイの上に形成された液晶の配向を制御して画像の表示ができる。

【0006】

【発明が解決しようとする課題】しかしながら、液晶ディスプレイの表示容量が大きくなるにつれてさまざまな問題が発生してきた。これらの問題は以下に要約される。

【0007】(1) すなわち、表示容量が大きくなると必然的に一画素に割り当てる面積が小さくなる。これに対し、TFT72、ゲート選択線71、画素給電線の占める面積は余り小さくできないことから、開口率(全体の面積に占める表示可能な面積の割合)が小さくなる。従って、照明光の利用効率が減少し、表示画像が暗くなってしまう。

【0008】(2) また、開口率向上のためゲート選択線71の幅を狭くすると、ゲート選択線71の抵抗値が上昇し、寄生容量との関係からゲート選択線71の応答速度が低下してしまう。従って、TFT72のゲートにかかる電圧が不十分となり、画像信号の画素電極書き込みが不十分となる。この現象は、大面積大容量表示で特に問題となる。この問題を解決するための方法として、配線薄膜の膜厚を厚くすることが考えられる。しかしながら、膜厚を厚くすると図9に示すゲート電極62の膜厚が厚くなり段差が大きくなってしまう。このため、段差部で短絡を誘発しTFTの製造工程上問題となる。

【0009】ところで、従来のTFTアレイにおいて、ゲート電極62としてTa金属材料を用いた場合、その膜厚は通常0.3μm、幅10μm程度である。また、Ta自身の電気抵抗率は12μΩ/cm、すなわち0.4Ω/□であるから、配線抵抗は40Ω/mm程度である。

【0010】従来の一辺30cm程度の大型液晶ディスプレイにおいて、基板終端までの抵抗値は12kΩ程度である。この抵抗値で1000pFの寄生容量を駆動することを考えた場合、RC時定数は12μsである。従って、RC時定数のみで立ち上がり、立ち下がりを含めて24μsを必要とする。一方、テレビジョン方式から1ライン当たり30μs以下で書き込みを終了させねばならない。画像データの完全な書き込みには、少なくともRC時定数の2~3倍以上の時間、即ち75μs程度の時間が必要である。従って、ゲート電極62の給電点の近傍では十分なデータ書き込みが可能であっても、ゲート電極62の終端近傍においてはデータ書き込みが不十分となり、この結果、画像品質を低下させていた。

【0011】本発明は、かかる従来の問題点を解決するためになされたものであって、製造工程及び大面積化が容易であり、大面積大容量表示が可能でしかも段差の無いTFTの製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】すなわち本発明の第1の製造方法は、絶縁基板表面に、加水分解・縮合により絶縁物を形成する特性のゲル膜を塗布した後、このゲル膜

に凹部を形成し、前記絶縁基板を乾燥・熱処理して絶縁基板上に絶縁膜を形成し、続いて絶縁膜表面に金属膜を成膜した後、絶縁基板表面を研磨して前記凹部のみに金属膜を残存させるとともに絶縁基板表面を平滑化し、さらに絶縁基板上にTFTを形成することにより達成される。

【0013】また、本発明の第2の製造方法は、絶縁基板表面に、加水分解・縮合により絶縁物を形成する特性のゲル膜を塗布した後、このゲル膜に凹部を形成し、前記絶縁基板を乾燥・熱処理して絶縁基板上に絶縁膜を形成し、続いて絶縁膜表面に金属材料を含有するペースト状物を塗布した後、このペースト状物をスキージにより絶縁膜表面の凹部に流し込み、そして絶縁基板を熱処理して凹部に金属配線となる金属膜を形成し、さらに絶縁基板上にTFTを形成することにより達成される。

【0014】また、本発明の第3の製造方法は、絶縁基板表面に塗布したレジストをフォトマスクを通して露光した後に、該レジストを現像してエッチングすべき部分が開口したレジストパターンを形成し、それをエッチング用マスクとしてエッチングすることにより絶縁基板表面に凹部を形成し、続いて少なくとも前記凹部に金属膜を形成した後、レジスト膜を剥離除去し、さらに絶縁基板上にTFTを形成することにより達成される。前記金属膜の形成方法としては、無電解めっき法を用いて前記凹部のみに形成する方法や、スパッタ法、蒸着法あるいはCVD法等を用いて前記凹部を含むレジスト表面に形成する方法等を採用することができる。

【0015】また、本発明の第4の製造方法は、絶縁基板表面に塗布したレジストをフォトマスクを通して露光し、該レジストを現像してエッチングすべき部分が開口したレジストパターンを形成した後にレジスト膜を剥離除去し、それをエッチング用マスクとしてエッチングすることにより絶縁基板表面に凹部を形成し、続いて絶縁基板表面に金属材料を含有するペースト状物を塗布した後、このペースト状物をスキージにより絶縁基板表面の凹部に流し込み、絶縁基板を熱処理して凹部に金属配線となる金属膜を形成した後、さらに絶縁基板上にTFTを形成することにより達成される。

【0016】図1は、本発明のTFTの断面構造を示す図である。また、図2は本発明の金属配線となる金属膜が埋設された絶縁基板の斜視概略図である。図2において、TFTゲート電極として機能する箇所2aは太幅に構成されており、またゲート配線として機能する箇所2bは開口率向上のため細幅に構成されている。

【0017】図1において、1は絶縁基板の一例としてのガラス基板であって、2は該ガラス基板1内に埋設されて表面部分が該ガラス基板1と面一に形成された金属配線である。前記ガラス基板1としては、ソーダライムガラス、石英ガラス、ほう珪酸ガラス等を用いることができる。また、金属配線2としては、Ta、Al、Cr

またはCu等の金属材料を用いることができる。

【0018】金属配線2として、例えばTaを幅 $1.0\mu m$ で、かつ、ガラス基板1の表面から $1.0\mu m$ 深さに矩形に埋設した場合の配線抵抗は、Ta自体の電気抵抗率が $1.2\mu \Omega cm$ であることから、約 $1.2\Omega/mm$ となる。従来の方法では、Taの配線抵抗は $4.0\Omega/mm$ であるから、本発明のガラス基板1内面への金属配線2の埋設により、配線抵抗を従来構造に比較して約 $1/30$ に低減することができる。また、前記金属配線2の線幅を細幅とすれば表面積が増加するため、開口率をさらに向上させることができる。

【0019】ガラス基板1表面のTFT10の構造は、図9に示す従来のTFT72の構造とほぼ同様である。すなわち、ガラス基板1上にゲート絶縁膜3が形成され、該ゲート絶縁膜3上的一部分に画素電極4及び非晶質シリコン層5が形成され、該非晶質シリコン層5上には該非晶質シリコン層5とドレイン電極8とのオーミック接触を取るためのn型非晶質シリコン層6が形成されている。また、9は外部から画素信号を送り込むソース電極であり、n型非晶質シリコン層7を介して非晶質シリコン層5に接続されている。

【0020】次に、本発明の製造方法について述べる。まず、第1の製造方法について図3を参照しながら説明する。図3は、本発明の第1の製造方法による工程を示す一部断面図である。

【0021】ガラス基板1上にゲル膜11を塗布しておき(図3a)、このゲル膜11表面に型材13を押し当てる(同図b)。そして、前記ガラス基板1を例えば30~80℃で15~30分程度、予備的に熱処理を行い、ゲル膜11表面に凹部12を形成する。前記ゲル膜11としては、例えばアルコキシル基を含有する有機金属化合物を含む原料溶液を加水分解、縮合によりゲル化させたものを用いることができる。また、前記型材13の形状は、前記ゲル膜11に所望の凹部を形成できる型であれば形状や材質等は特に限定されず、例えばニッケルやポリカーボネート樹脂等により形成されたもの等を用いることができる。

【0022】また、前記ゲル膜11表面に凹部12を形成するに際し、前記型材13における型深さを、前記ゲル膜11の厚みに比較して同一深さとするか、あるいはそれよりも浅くすることが望ましい。

【0023】続いて、前記工程により凹部12が形成されたゲル膜11を表面に有するガラス基板1を熱処理し、該ガラス基板1上にガラス体14を形成させる。前記ゲル膜11について300~400℃で0.5~24時間程度の熱処理がなされ、ガラス体14を得る(同図c)。

【0024】この後、前記ガラス体14上にTFTアレイのゲート配線となる金属膜15を成膜する(同図d)。成膜法として、めっき法、スパッタ法、蒸着法ま

10

20

30

40

50

たはCVD法等を用いることができる。また、成膜される金属膜15は前述のTa、Al、CrまたはCu等の金属材料が用いられるが、金属膜15は最終的に形成される厚みが大きいので、高速で成膜できる方法を採用することが望ましい。

【0025】次に、前記ガラス体14表面を研磨し、該ガラス体14上の凹部12のみに金属膜15を残存させ、他の部分に形成された金属膜15を除去する。そして、該ガラス体14表面を金属膜15の表面と共に平滑化する(同図e)。そしてこの後、金属配線となる金属膜15を形成したガラス体14上にTFTを従来周知の方法により形成させる。

【0026】次に、第2の製造方法について図4を参照しながら説明する。図4は、本発明の第2の製造方法による工程を示す一部断面図である。

【0027】前記第1の製造方法の場合と同様に、まずガラス基板1上にゲル膜16を塗布し(図4a)、このゲル膜16表面に型材18を押し当てる(同図b)。そして、前記ガラス基板1を予備的に熱処理し、ゲル膜16表面に凹部17を形成する。続いて、前記型材18を抜脱し、前記ガラス基板1を熱処理して、該ガラス基板1上にガラス体19を形成させる(同図c)。

【0028】この後、前記ガラス体19上に金属材料を含有するペースト状物21を塗布する。前記ペースト状物21を形成する金属材料は、特に限定されず、例えば前述のTa、Al、CrまたはCu等を用いることができる。前記金属材料をペースト状物21中に安定的に均一な分散状態に保つための接着材(バインダー)は、例えばポリエチル樹脂、エポキシ樹脂、フェノール樹脂、オレフィン、ゴム、アクリル樹脂、ウレタン樹脂またはこれらの2種以上の組成物等が挙げられる。溶剤についても特に限定されず、使用する樹脂を溶解するものであれば良く、例えば炭化水素系溶媒またはハロゲン化炭化水素系溶媒(好ましくは沸点が50~200℃のもの、例えばトルエン、シクロヘキサン、酢酸エチル、キシレン等)が挙げられる。

【0029】前記各成分を適宜の比率で混合分散し、金属材料を接着材の官能基と反応させてペースト状物21を作成する。なお、前記ペースト状物21の粘性は、40~120ボアズ程度が好適である。

【0030】前記ガラス体19上に塗布されたペースト状物21を、スキージ22を用いて凹部17に流し込み、該ガラス体19上の他の部分に塗布されたペースト状物21を全て除去する(同図d)。この後、前記ガラス基板1を熱処理して、凹部17上にTFTアレイのゲート配線となる金属膜20を形成する。

【0031】なお、前記熱処理により、前記ペースト状物21中の金属材料以外の成分が蒸発し、残存した金属材料の体積は熱処理前のペースト状物21の体積よりかなり減少した状態となる(同図e)。このため、金属膜

20の表面がガラス体19の表面とほぼ同じ高さになるまで(同図f)、前記凹部17へのペースト状物21の流し込み工程ないし熱処理工程を数回繰り返すことが好ましい。

【0032】また、前述の工程に代えて、前記凹部17に形成された金属膜20を結晶核とし、無電解めっき法等の高速成膜法により凹部17に金属膜20を形成することもできる。

【0033】そしてこの後、金属配線となる前記金属膜20を形成したガラス体19上にTFTを従来周知の方法により形成させる。

【0034】次に、図5、図6及び図7を参照しながら第3の製造方法について述べる。図5、図6及び図7は、それぞれ本発明の第3の製造方法による工程を示す一部断面図である。

【0035】まず、ガラス基板1上にレジストを塗布する。前記レジストは、感光性樹脂であれば組成は特に限定されず、ネガ型(感光した部分が溶解しにくくなる)でもポジ型(感光した部分が溶解し易くなる)でも構わない。

【0036】続いて、所定のフォトマスクを通して前記レジストを露光した後、そのレジスト層を現像することにより、エッチングすべき部分が開口したレジストパターン23を得る(図5a、図6a及び図7a)。そして、このレジストパターン23をエッチング用マスクとしてガラス基板1をエッチングする。このエッチングにより、ガラス基板1上に凹部24を形成する(図5b、図6b及び図7b)。

【0037】さらに、前記ガラス基板1の凹部24上に金属膜25を形成する。ここで、金属膜25の形成方法として、無電解めっき法を用いた場合には、金属膜25が凹部24のみに形成され(図6c)、電解めっき法、スパッタ法、蒸着法またはCVD法等を用いた場合には、金属膜25が凹部24及びレジストパターン23上に形成される(図5c及び図7c)。そして、前記レジストパターン23を剥離除去することにより、凹部24のみに金属膜25を残存させる(図5d、図6d及び図7d)。

【0038】この後、前記凹部24に形成された金属膜25を結晶核とし、引き続き無電解めっき法等の高速成膜法により凹部24に金属膜25を形成させる(図5e)。さらにこの工程の後、必要に応じて前記ガラス基板1表面を研磨し、このガラス基板1表面と金属膜25表面を平滑化させる。そしてこの後、金属配線となる前記金属膜25を形成したガラス基板1上にTFTを従来周知の方法により形成させる。

【0039】さらに、図8を参照しながら第4の製造方法について述べる。図8は、本発明の第4の製造方法による工程を示す一部断面図である。

【0040】まず、前述した第3の製造方法と同様にガ

ラス基板1上にレジストを塗布する。続いて、所定のフォトマスクを通してレジストを露光した後、そのレジストを現像することにより、エッチングすべき部分が開口したレジストパターン26を得る(図8a)。そして、このレジストパターン26をエッチング用マスクとしてガラス基板1をエッチングする。エッチングにより、ガラス基板1上に凹部27を形成した後(同図b)、前記レジストパターン26を剥離除去する(同図c)。

【0041】この後、前記ガラス基板1上に金属材料を含有するペースト状物28を塗布する。前記ペースト状物28は、上述した第2の製造方法で用いた材料を用いることができる。そして、前記ガラス基板1上に塗布されたペースト状物28を、スキージ29を用いて凹部27に流し込み、このガラス基板1上の他の部分に塗布されたペースト状物28を全て除去する(同図d)。

【0042】この後、前記ガラス基板1を熱処理して、このガラス基板1上にTFTアレイのゲート配線となる金属膜30を形成する(同図e)。第2の製造方法と同様に、ペースト状物28は熱処理により体積収縮するので、金属膜30表面がガラス基板1表面とほぼ同じ高さになるまで(同図f)、前記凹部27へのペースト状物28の流し込み工程ないし焼成工程を数回繰り返すことが好ましい。

【0043】また、前述の工程に代えて、前記凹部27に形成された金属膜30を結晶核とし、無電解めっき法等の高速成膜法により凹部27に金属膜30を形成することもできる。

【0044】さらに、このガラス基板1表面と金属膜25表面を必要に応じて平滑化させる。そしてこの後、金属配線となる前記金属膜25を形成したガラス基板1上にTFTを従来周知の方法により形成させる。

【0045】

【作用】本発明は、TFTに電極接触を取るための金属膜が絶縁基板表面に埋設されているので、金属配線の断面積を大きく取ることができる。従って、金属配線の抵抗値を大きく低減することができ、金属膜の内部寄生抵抗により発生するゲート線伝搬遅延の問題を解決できる。また、絶縁基板表面が平滑となるよう調整したので、絶縁基板へのTFT形成及び結合効率が向上する。

【0046】さらに、金属配線の抵抗値を一定として幅を変化させた金属配線を形成させることもでき、開口率の向上に寄与できる。

【0047】

【実施例】

(実施例1) まず、ガラス基板1の表面にソルーゲル法により形成したゲル膜11を塗布しておき(図3a)、ポリカーボネート樹脂及びニッケルよりなるスタンパー13をゲル膜11の表面に押し当てた(同図b)。そして、この状態でガラス基板1を60℃で30分間熱処理し、ゲル膜11表面に凹部12を形成した。この後、ス

タンパー 1 3 を抜脱し、続いて前記ガラス基板 1 を 35 0℃で 15 分間熱処理して、ガラス基板 1 上にガラス体 1 4 を形成させた(同図 c)。

【0048】次に、前記ガラス体 1 4 上にスパッタ法を用いて Cr 膜 1 5 を 1.5 μm 厚さに成膜した(同図 d)。さらに、前記 Ta 膜 5 の成膜されたガラス体 1 4 表面を研磨し、前記ガラス体 1 4 上の凹部 1 2 以外の Cr 膜 1 5 を全て除去した(同図 e)。なお、研磨後のガラス体 1 4 表面は十分に平滑性を有していた。そして、前記ガラス体 1 4 上に TFT を形成し、前記 Ta 膜 1 5 をゲート配線及びゲート電極として機能させた。

(実施例 2) まず、ガラス基板 1 の表面にゾルーゲル法により形成したゲル膜 1 6 を塗布しておき(図 4 a)、スタンパー 1 8 をゲル膜 1 6 の表面に押し当てた(同図 b)。この状態でガラス基板 1 を 60℃で 30 分間熱処理し、該ゲル膜 1 6 表面に凹部 1 7 を形成した。この後、スタンパー 1 8 を抜脱し、続いて前記ガラス基板 1 を 150℃で 30 分間熱処理して、ガラス基板 1 上にガラス体 1 9 を形成させた(同図 c)。

【0049】次に、前記ガラス体 1 9 上に Ta を含むペースト状物 2 1 を塗布し、スキージ 2 2 により凹部 1 7 に流し込んだ(同図 d)。

【0050】そして、前記ガラス基板 1 を 150℃で 30 分間熱処理した。この熱処理の結果、ペースト状物 2 1 中の体積は熱処理前の約 1/2 になっていた(同図 e)。このため、前記ガラス基板 1 の凹部 1 7 にペースト状物 2 1 を塗布してスキージ 2 2 により凹部 1 7 に流し込み、前記ガラス基板 1 を熱処理する工程を 4 回繰り返し、ガラス体 1 9 表面と Ta 膜 2 0 表面を平滑化させた(同図 f)。そして、前記ガラス体 1 9 上に TFT を形成し、前記 Ta 膜 2 0 をゲート配線及びゲート電極として機能させた。

(実施例 3) まず、ガラス基板 1 の表面にネガ型フォトレジスト(商品名: OMR-85、東京応化工業製)を塗布し乾燥させた。この後、露光機を用いて露光を行い、ガラス基板 1 上にレジストパターン 2 3 を形成した(図 5 a)。そして、このレジストパターン 2 3 をエッチング用マスクとしてガラス基板 1 をエッチングし、凹部 2 4 を形成した(同図 b)。

【0051】次に、前記ガラス基板 1 のレジストパターン 2 3 上及び凹部 2 4 にスパッタ法を用いて Ni 膜 2 5 を 0.1 μm 厚さに成膜した(同図 c)。そして、前記レジストパターン 2 3 及び Ni 膜 2 5 を剥離除去してガラス基板 1 上の凹部 2 4 のみに Ni 膜 2 5 を残存させた(同図 d)。

【0052】この後、前記ガラス基板 1 を無電解めつき法を用いてガラス基板 1 の凹部 2 4 に Ni 膜 2 5 を結晶成長させた(同図 e)。さらに、前記ガラス基板 1 表面を研磨して該ガラス基板 1 表面と Ni 膜 2 5 表面を平滑化させた。そして、前記ガラス基板 1 上に TFT を形成

し、前記 Ta 膜 2 5 をゲート配線及びゲート電極として機能させた。

(実施例 4) まず、ガラス基板 1 の表面にネガ型フォトレジスト(商品名: OMR-85、東京応化工業製)を塗布し乾燥させた。この後、露光機を用いて露光を行い、ガラス基板 1 上にレジストパターン 2 3 を形成した(図 6 a)。そして、このレジストパターン 2 3 をエッチング用マスクとしてガラス基板 1 をエッチングし、凹部 2 4 を形成した(同図 b)。

【0053】次に、前記ガラス基板 1 の凹部 2 4 に無電解めつき法を用いて Ni 膜 2 5 を成膜した(同図 c)。そして、前記レジストパターン 2 3 を剥離除去した(同図 d)。

【0054】この後、前記ガラス基板 1 表面を研磨して該ガラス基板 1 表面と Ni 膜 2 5 表面を平滑化させた。そして、前記ガラス基板 1 上に TFT を形成し、前記 Ni 膜 2 5 をゲート配線及びゲート電極として機能させた。

(実施例 5) まず、ガラス基板 1 の表面にネガ型フォトレジスト(商品名: OMR-85、東京応化工業製)を塗布し乾燥させた。この後、露光機を用いて露光を行い、ガラス基板 1 上にレジストパターン 2 3 を形成した(図 7 a)。そして、このレジストパターン 2 3 をエッチング用マスクとしてガラス基板 1 をエッチングし、凹部 2 4 を形成した(同図 b)。

【0055】次に、前記ガラス基板 1 の電解めつき法を用いて Ni 膜 2 5 を凹部 2 4 及びレジストパターン 2 3 上に成膜した(同図 c)。そして、前記レジストパターン 2 3 を剥離除去した(同図 d)。

【0056】この後、前記ガラス基板 1 表面を研磨して該ガラス基板 1 表面と Ni 膜 2 5 表面を平滑化させた。そして、前記ガラス基板 1 上に TFT を形成し、前記 Ni 膜 2 5 をゲート配線及びゲート電極として機能させた。

(実施例 6) まず、ガラス基板 1 の表面にネガ型フォトレジスト(商品名: OMR-85、東京応化工業製)を塗布し乾燥させた。この後、露光機を用いて露光を行い、ガラス基板 1 上にレジストパターン 2 6 を形成した(図 8 a)。そして、このレジストパターン 2 6 をエッチング用マスクとしてガラス基板 1 をエッチングし、凹部 2 7 を形成した(同図 b)。そして、前記レジストパターン 2 6 を剥離除去した(同図 c)。

【0057】次に、前記ガラス基板 1 上に Ta を含むペースト状物 2 8 を塗布し、スキージ 2 9 により凹部 2 7 に流し込んだ(同図 d)。

【0058】そして、前記ガラス基板 1 を 200℃で 30 分間熱処理した。前記熱処理の結果、残存した金属膜 3 0 の体積が熱処理前のペースト状物 2 8 の体積の約 1/2 になっていた(同図 e)。このため、前記ガラス基板 1 の凹部 2 7 にペースト状物 2 8 を塗布して、スキ

ジ29により凹部27に流し込み、前記ガラス基板1を熱処理する工程を4回繰り返し、ガラス基板1表面とTa膜30表面を平滑化させた(同図f)。そして、前記ガラス基板1上にTFTを形成し、前記Ta膜30をゲート配線及びゲート電極として機能させた。

【0059】

【発明の効果】以上説明したように、本発明にTFTと電極接触を取るための金属膜が絶縁基板表面に埋設されているため、ゲート配線の抵抗を大きく低減することができ、大容量、大面積のディスプレイに適用した場合もゲート配線の伝搬遅延を低減し、画質劣化を防止できる。また、縦横比の大きなゲート配線を形成することによりゲート配線幅を狭くすることができ、開口率を大きく取ることが可能である。

【図面の簡単な説明】

【図1】本発明のTFTの断面構造図
【図2】本発明のゲート配線の形成されたガラス基板の斜視構造図
【図3】本発明の第1の実施例を示す概略工程図

【図4】本発明の第2の実施例を示す概略工程図

【図5】本発明の第3の実施例を示す概略工程図

【図6】本発明の第4の実施例を示す概略工程図

【図7】本発明の第5の実施例を示す概略工程図

【図8】本発明の第6の実施例を示す概略工程図

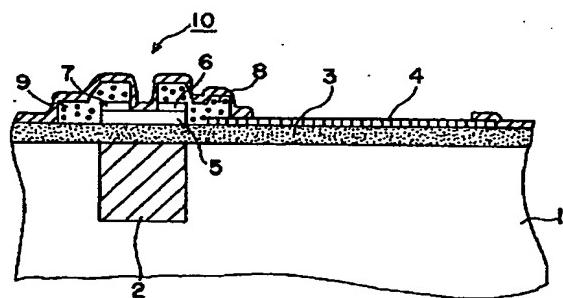
【図9】従来のTFTの断面構造図

【図10】従来のTFTアレイの平面図

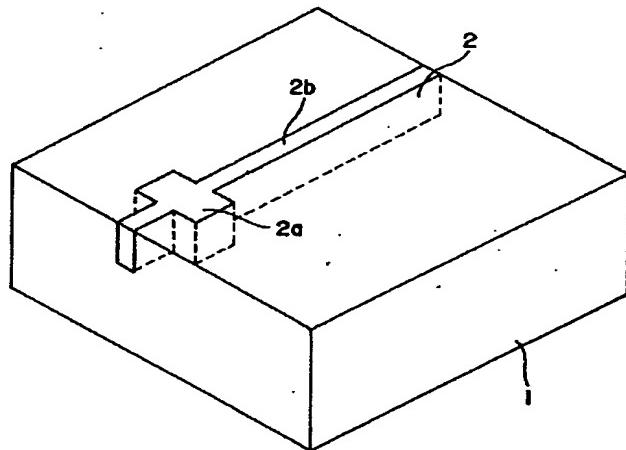
【符号の説明】

1	ガラス基板
2	金属配線
2a	太幅部
2b	細幅部
11、16	ゲル膜
12、17、24、27	凹部
13、18	スタンパー
14、19	ガラス体
21、28	ペースト状物
22、29	スキージ
15、20、25、30	金属膜

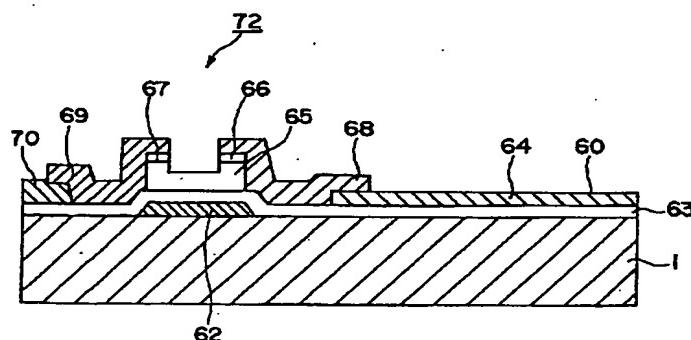
【図1】



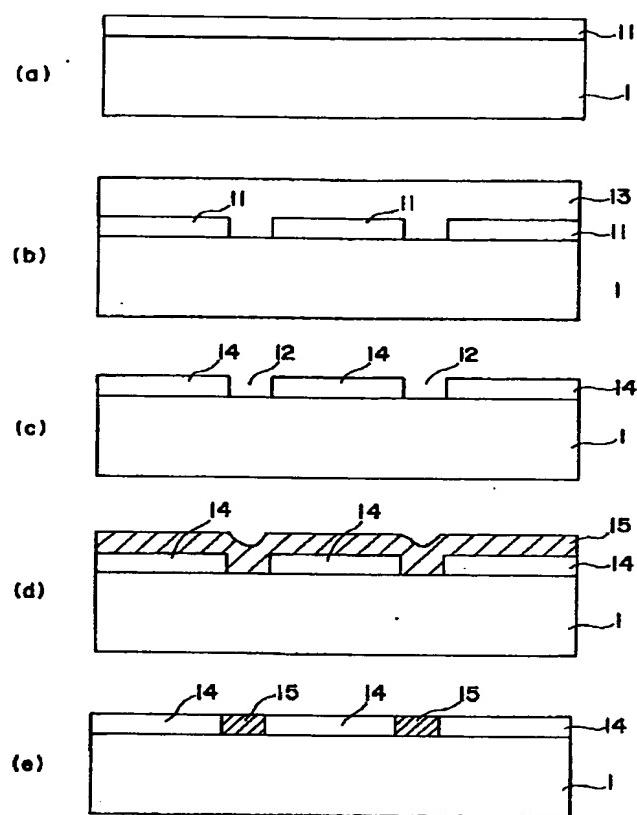
【図2】



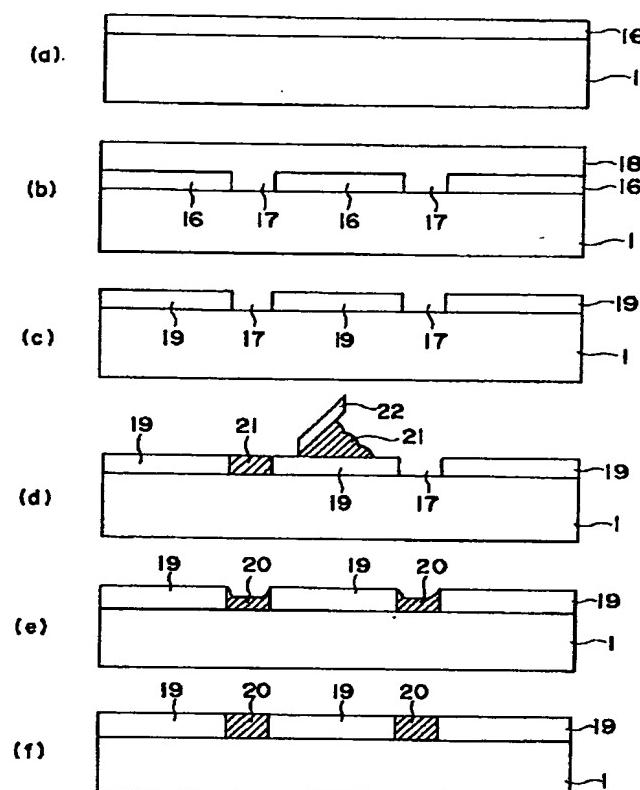
【図9】



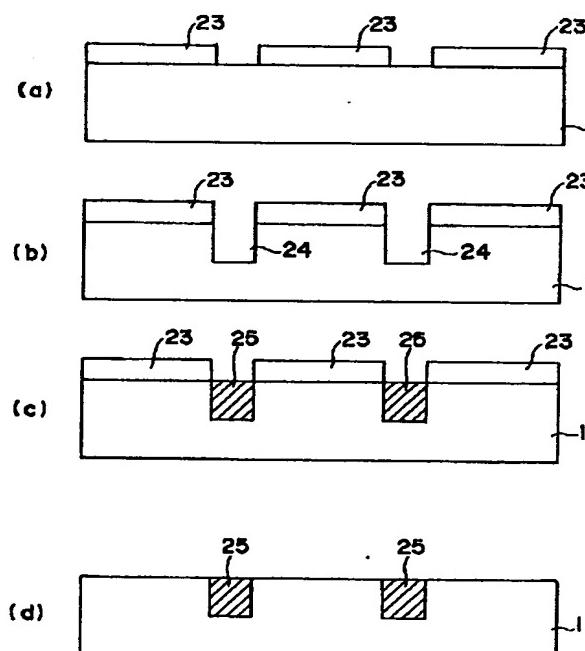
【図 3】



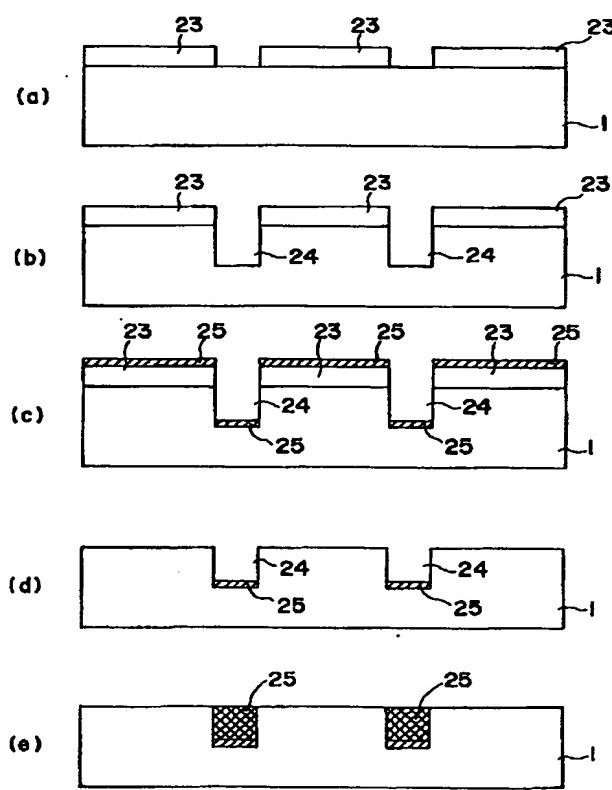
【図 4】



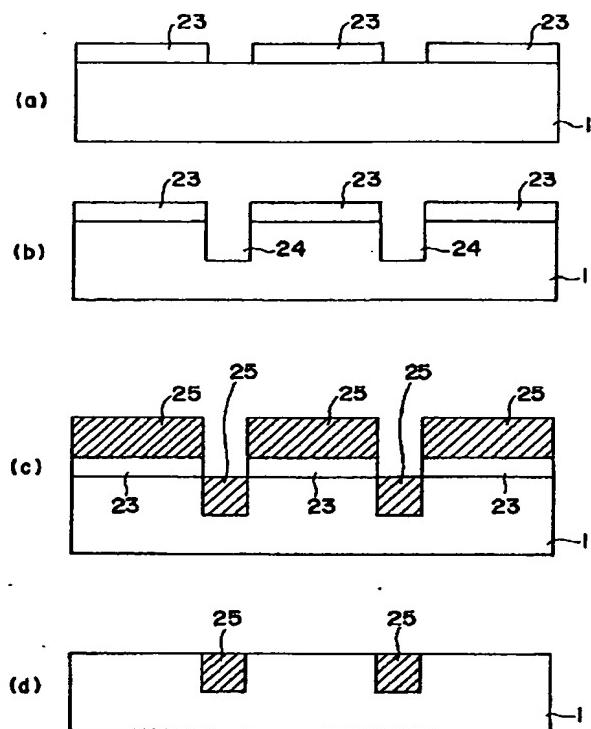
【図 6】



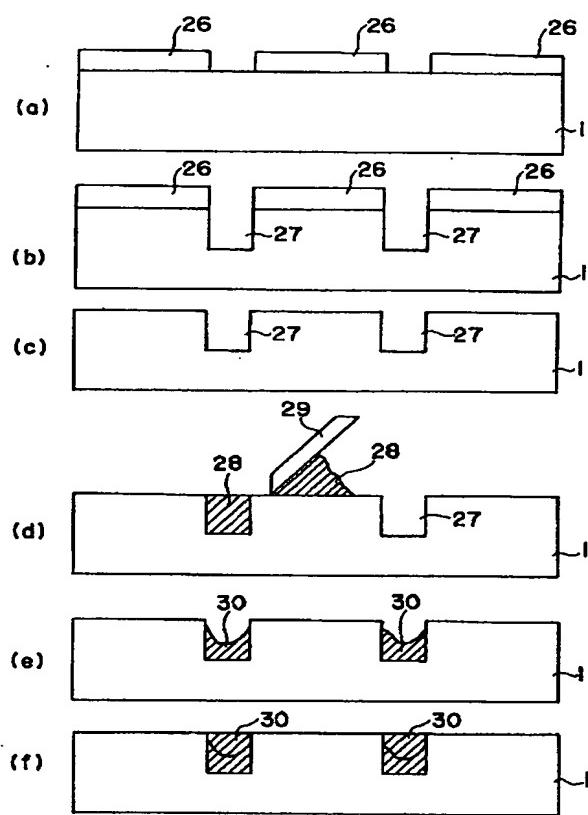
【図 5】



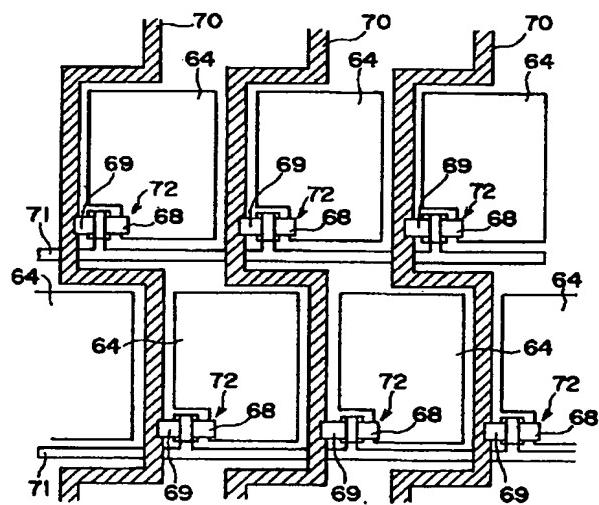
[図 7]



[図 8]



[図 10]



【手続補正書】

【提出日】平成4年11月26日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】また、前述の工程に代えて、前記凹部17に形成された金属膜20を結晶核とし、電解めっき法等の高速成膜法により凹部17に金属膜20を形成することもできる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】この後、前記凹部24に形成された金属膜25を結晶核とし、引き続き電解めっき法等の高速成膜法により凹部24に金属膜25を形成させる(図5e)。さらにこの工程の後、必要に応じて前記ガラス基板1表面を研磨し、このガラス基板1表面と金属膜25表面を平滑化させる。そしてこの後、金属配線となる前記金属膜25を形成したガラス基板1上にTFTを従来周知の方法により形成させる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】また、前述の工程に代えて、前記凹部27に形成された金属膜30を結晶核とし、電解めっき法等の高速成膜法により凹部27に金属膜30を形成することもできる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正内容】

【0047】

【実施例】

(実施例1) まず、ガラス基板1の表面にソルーゲル法により形成したゲル膜11を塗布しておき(図3a)、ポリカーボネート樹脂よりなるスタンパー13をゲル膜11の表面に押し当てた(同図b)。そして、この状態でガラス基板1を60℃で30分間熱処理し、ゲル膜11表面に凹部12を形成した。この後、スタンパー13を抜脱し、続いて前記ガラス基板1を350℃で15分間熱処理して、ガラス基板1上にガラス体14を形成させた(同図c)。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正内容】

【0048】次に、前記ガラス体14上にスパッタ法を用いてCr膜15を1.5μm厚さに成膜した(同図d)。さらに、前記Cr膜15の成膜されたガラス体14表面を研磨し、前記ガラス体14上の凹部12以外のCr膜15を全て除去した(同図e)。なお、研磨後のガラス体14表面は十分に平滑性を有していた。そして、前記ガラス体14上にTFTを形成し、前記Cr膜15をゲート配線及びゲート電極として機能させた。

(実施例2) まず、ガラス基板1の表面にソルーゲル法により形成したゲル膜16を塗布しておき(図4a)、スタンパー18をゲル膜16の表面に押し当てた(同図b)。この状態でガラス基板1を60℃で30分間熱処理し、該ゲル膜16表面に凹部17を形成した。この後、スタンパー18を抜脱し、続いて前記ガラス基板1を350℃で30分間熱処理して、ガラス基板1上にガラス体19を形成させた(同図c)。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正内容】

【0052】この後、電解めっき法を用いてガラス基板1の凹部24上Ni膜25を結晶成長させた(同図e)。さらに、前記ガラス基板1表面を研磨して該ガラス基板1表面とNi膜25表面を平滑化させた。そして、前記ガラス基板1上にTFTを形成し、前記Ni膜25をゲート配線及びゲート電極として機能させた。

(実施例4) まず、ガラス基板1の表面にネガ型フォトレジスト(商品名:OMR-85、東京応化工業製)を塗布し乾燥させた。この後、露光機を用いて露光を行い、ガラス基板1上にレジストパターン23を形成した(図6a)。そして、このレジストパターン23をエッチング用マスクとしてガラス基板1をエッチングし、凹部24を形成した(同図b)。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正内容】

【0055】次に、スパッタ法を用いてNi膜25をガラス基板1の凹部24及びレジストパターン23上に成膜した(同図c)。そして、前記レジストパターン23を剥離除去した(同図d)。